

(11)Publication number : 2003-229537

(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

H01L 27/10
G11C 13/00
// H01L 45/00

(21)Application number : 2002-024918

(71)Applicant : HITACHI LTD

(22)Date of filing : 01.02.2002

(72)Inventor : MATSUOKA HIDEYUKI
ITO KIYOO
TERAO MOTOYASU
HANZAWA SATORU
SAKATA TAKESHI

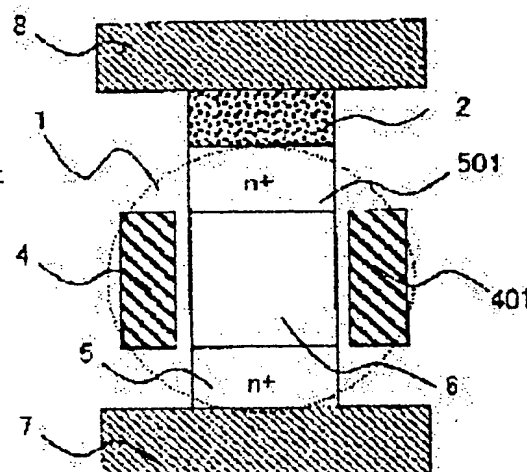
(54) SEMICONDUCTOR STORAGE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of a large cell area in the conventional memory cell utilizing a phase change.

SOLUTION: A memory cell structure using a vertical selection transistor and its manufacturing method are proposed, thus achieving a memory cell having area smaller than the conventional DRAM, a phase change memory that can reduce power consumption in read and write operation, and further a phase change memory that has stable read operation.

図1



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-229537

(P2003-229537A)

(43)公開日 平成15年8月15日(2003.8.15)

(51)Int.Cl.⁷

識別記号

F I

テームト^{*}(参考)

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

5 F 0 8 3

G 1 1 C 13/00

G 1 1 C 13/00

A

// H 0 1 L 45/00

H 0 1 L 45/00

A

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願2002-24918(P2002-24918)

(22)出願日 平成14年2月1日(2002.2.1)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松岡 秀行

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 伊藤 清男

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54)【発明の名称】 半導体記憶装置及びその製造方法

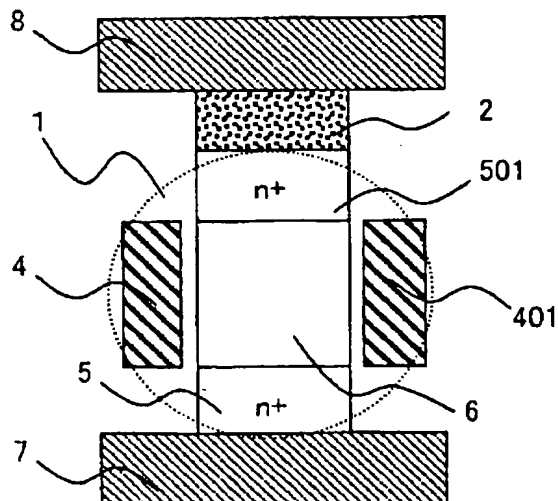
(57)【要約】

【課題】従来の相変化を利用したメモリセルは、セル面積が大きいという問題点があった。

【解決手段】上記課題を解決すべく、本発明では縦型選択トランジスタを用いたメモリセル構造及びその製造方法を提案する。

【効果】本発明によれば、従来DRAMに比べて面積の小さいメモリセルを実現できる。また、読み出し動作における消費電力を低減することができるとともに、書き込み動作においても低電力の相変化メモリを実現することができる。さらに、読み出し動作の安定した相変化メモリを実現することができる。

図1



【特許請求の範囲】

【請求項 1】複数のワード線と、絶縁層を介して前記ワード線と少なくとも一方が交差する第 1 及び第 2 の複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャンネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上方に配置された少なくとも Te (テルル) を含有する材料、からなることを特徴とする半導体記憶装置。

【請求項 2】前記縦型トランジスタは、半導体基板上に形成された多結晶シリコンからなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】前記縦型トランジスタは、半導体基板内に形成された単結晶シリコンからなることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】前記縦型トランジスタのゲートはワード線の一部を構成し、該トランジスタのドレイン (あるいはソース) は該第 1 の配線に接続され、該トランジスタのソース (あるいはドレイン) は、少なくとも該 Te を含有する材料を間にはさんで、第 2 の配線に接続されたことを特徴とする請求項 2 から請求項 3 のいずれ 1 項に記載の半導体記憶装置。

【請求項 5】前記ワード線は前記第 1 及び第 2 の複数の配線の上方に延在して存在することを特徴とする請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】前記 Te (テルル) を含有する材料は、前記ワード線の下方に存在することを特徴とする請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 7】前記 Te (テルル) を含有する材料は、前記ワード線の上方に位置することを特徴とする請求項 2 から請求項 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 8】前記第 1 及び第 2 の複数の配線のうち少なくとも 1 つは、共通電極となっていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】複数のワード線と、絶縁層を介して前記ワード線と交差する複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャンネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上方に配置された少なくとも Te (テルル) を含有する材料、からなることを特徴とする半導体記憶装置。

【請求項 10】複数のワード線と、絶縁層を介して前記ワード線と少なくとも一方が交差する第一及び第二の複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャンネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上方に配置された、抵抗値が電氣的に可変な材料、からなることを特

徴とする、半導体記憶装置。

【請求項 11】複数のワード線と、絶縁層を介して前記ワード線と交差する複数の配線と、前記ワード線と前記配線の交点に設けられた複数のメモリセルを有する半導体記憶装置において、前記メモリセルは、チャンネル部が該メモリセルの深さ方向に形成された縦型トランジスタと、その上方に配置された、抵抗値が電氣的に可変な材料、からなることを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関する。特に、低電圧で動作する、高速かつ不揮発性を有する、ランダムアクセスメモリ (RAM) に関する。

【0002】

【従来の技術】携帯電話に代表されるモバイル機器の需要に牽引されて、不揮発メモリの市場の伸びは著しい。その代表が、FLASHメモリであるが、本質的に速度が遅いために、プログラマブルなROMとして用いられている。一方、作業用のメモリとしては、高速なDRAMが必要であり、携帯機器用メモリとしては、FLASHとDRAMの両方が搭載されている。これら 2 つのメモリの長短を具備した素子が実現できれば、FLASHとDRAMを 1 チップ化することが可能となるばかりでなく、すべての半導体メモリを置き換えることになるという点で、そのインパクトは極めて大きい。こうしたメモリの 1 つとして、2001 IEDM(International Electron Device Meeting)において、相変化を利用したメモリ (OUM:Ovonic Unified Memory) がIntelより提案された。次にこのメモリの動作原理を簡単に説明する。OUMは、結晶状態により抵抗値が異なるカルコゲナイドという材料を記憶ノードとして用いる。カルコゲナイドはDVDやCDの媒体に用いられている材料であり、少なくともアンチモン (Sb) とテルル (Te) を含む $Ge-Sb-Te$ 系や $Ag-In-Sb-Te$ 系などがその代表である。基本的なメモリセルは、選択トランジスタとカルコゲナイドから構成されており、所謂DRAMセルと類似しており、キャパシタをカルコゲナイドに置き換えたものとみなすことができる。カルコゲナイドは、その結晶状態が単結晶かアモルファスかで、その抵抗値が $10 \sim 10000$ 倍程度異なる。この違いを利用して、固体メモリにするものである。不揮発メモリとして注目をあびているMRAM (Magnetic RAM) の場合、抵抗の変化率は 40% 程度であるので、OUMの方がはるかに大きく、データのセンシングが容易である。カルコゲナイドの結晶状態を変えるには電圧を印加することにより発生するジュール熱を利用する。アモルファス化するには、カルコゲナイドを 600°C 程度に加熱し溶解させ、急冷する。結晶化するには、 400°C 程度の温度で 50 nsec 程度保持する。従って、データの書き込みには図 2 に示すようなパルスを与えることになる。読出しの際には、ワード線をオンにし、共通グ

ラウンド線とビット線)間を流れる電流により、2値の情報("0","1")を判別する。

【0003】

【発明が解決しようとする課題】上で述べた、選択トランジスタとカルコゲナイドから構成される相変化メモリは、そのセル面積は $8F^2$ 程度以上である。ここで、 F は最小加工寸法である。大容量化のためには、さらなるメモリセル面積の縮小が課題である。

【0004】

【課題を解決するための手段】上記課題を解決する為に、縦型トランジスタを用いたメモリセル構造及びその製造方法を提案する。本発明によれば、面積 $4F^2$ のメモリセルが実現できる。本発明による、メモリセル構造の代表的なものを図1に示す。下から順に、書き込み及び読み出しのための第1の配線(7)、この配線と電気的に接続された縦型の選択トランジスタ(1)、その上に情報を蓄えるカルコゲナイド材料(2)、その上に書き込み及び読み出しのための第2の配線(8)、の構成となっている。本発明におけるメモリセルの平面レイアウトを図3に示す。セル配線(803)とワード線(403)が最小ピッチ $2F$ で配置されるので、メモリセルの面積は $4F^2$ となる。

【0005】

【発明の実施の形態】(実施例1)本実施例では、図1に示したメモリセルの製造方法を、その製造工程をたどりながら詳細に説明する。本発明によれば、図1に示した第1の配線(7)及び第2の配線(8)を、それぞれ分離することが可能であり、メモリセル動作の自由度を広げるといった特長がある。まず始めに、通常の製造方法により、周辺回路用のCMOSトランジスタを形成する。その上に、図4に示すように、層間絶縁膜(9)を堆積し平坦化した後に、メモリセル領域においてはピッチが 0.2 ミクロンの第1のセル配線(701)を、周辺回路領域においては、ローカルインターコネクト線を形成する。本実施例においては、配線材料としてはタングステンまたは $W90Ti10$ などのタングステン合金を用いた。勿論、タングステンまたは $W90Ti10$ などのタングステン合金の代わりに、不純物を高濃度含む多結晶シリコンや、多結晶シリコンと金属あるいはシリサイドとの積層膜でも構わない。さらに、層間絶縁膜(901)を $100nm$ 堆積し、不純物としてリンを $1E20/cm^2$ 程度の高濃度に含むポリシリプラグ(10)を形成し、図5のようになる。このプラグにより、後に、セル配線(701)と選択トランジスタが電気的に接続される。勿論多結晶シリコンの代わりに金属あるいは、シリサイドを用いることも可能である。

【0006】次に、縦型トランジスタを形成する。ここでは、以下の順に膜を堆積する。まず、縦型トランジスタの拡散層となる不純物としてリンを $1E20/cm^2$ 程度の高濃度にドーブした N^+ 層(502)、チャネル部

となる不純物としてボロンを $1E16/cm^2$ 程度の濃度で含む不純物層(602)、更に拡散層となる不純物としてリンを $1E20/cm^2$ 程度の高濃度にドーブした N^+ 層(503)、を堆積する。これらがトランジスタ部となる。ここで、不純物拡散層(502及び503)からの、チャネル部(602)への、不純物の拡散を抑えるために、厚さ $1nm$ 程度の絶縁膜を、チャネル部(602)と拡散層(502及び503)の間に挟んでも構わない。絶縁膜としては、シリコン酸化膜やシリコンチッカ膜等が適用可能である。この後、シリコンの結晶性を改善するために熱処理を施す。もちろん、この際、レーザーアニール等の手法を用いることにより、更に良好な結晶を形成することも可能である。この場合、トランジスタの性能が向上することは言うまでも無い。さらに、後に施す層間膜平坦化工程(CMP:Chemical Mechanical Polishing)のストッパ膜として、シリコン窒化膜(11)を $100nm$ 堆積する。この積層膜を、図6に示すように、ピッチ 0.2 ミクロンのラインアンドスペース状に加工する。引き続き、層間絶縁膜(902)を堆積し、CMPにより平坦化、さらに加工用に用いたシリコン窒化膜を除去することにより、下地の多結晶シリコン(503)を露出させる。この時の状態を図7に示す。

【0007】次に膜厚 $50nm$ のカルコゲナイド材料(202)と第2のセル配線(802)となる膜厚 $100nm$ のタングステンまたは $W90Ti10$ などのタングステン合金、及び厚さ $100nm$ の酸化膜(903)を堆積する。この際、カルコゲナイド材料(202)の多結晶シリコン(503)への拡散を防止する目的で、多結晶シリコン(503)との間に $TiAlN$ 等の遷移金属の窒化物や酸化物等のバリア膜や、 $W80Ti20$ などの金属導電膜、あるいはこれらの積層膜を堆積すれば、書換え可能回数が増大する利点がある。あるいは、カルコゲナイドの相状態を変えるのに必要な熱の拡散を抑制する目的で、例えば、 ITO (インジウムとスズの酸化物の混合物)のような熱伝導率の悪い導電膜を間に挟むことも、勿論可能である。続いて、図8に示すように、先に形成した第1の配線(701)と垂直方向に、 0.2 ミクロンピッチのラインアンドスペース状に加工する。尚、本実施例においては、第2のセル配線(802)間の容量を低減する目的で、線幅の細線化を行った。具体的には、レジストパタンの露光後に、軽度のアッシングプロセスを施し、レジスト寸法を $70nm$ に細線化した。

【0008】次に、選択トランジスタのワード線の形成を行う。まず、ワード線と第2の配線(802)との短絡を防ぐ目的で、図9に示すように、膜厚 $30nm$ の側壁酸化膜(904)を形成する。この工程により、カルコゲナイド(202)は、第2の配線(802)と側壁酸化膜(904)等により、完全に覆われる。さらに、

酸化膜で覆われた第2の配線(802)をマスクに、自己整合的に、下地の多結晶シリコンの積層膜をエッチングし、図10のようになる。続いて、低温で形成が可能なCVD法により10nmの膜厚のゲート酸化膜を形成する。この際、カルコゲナイドが上記のように、完全に覆われているので、昇華することはない。従って、より高温プロセスである熱酸化によるゲート酸化も可能である。本実施例においては、更にはワード線となるタングステンまたはW90Ti10などのタングステン合金

(12)を堆積/平坦化し、図11のようになる。本実施例においては、タングステンまたはW90Ti10などのタングステン合金を用いたが、間にバリアメタルを挟んだタングステンまたはW90Ti10などのタングステン合金と多結晶シリコンの積層膜や、ポリサイド等を用いても勿論構わない。次に、通常のドライエッチ法により、タングステンまたはW90Ti10などのタングステン合金を、第2のセル配線(802)と垂直方向に走る、ピッチ0.2ミクロンのラインアンドスペース状に加工する。この時の状態を図12に示す。ワード線(402)加工の際、電極材料を平坦化した結果として、エッチング段差は第2のセル配線(802)の高さとキャップ酸化膜(903)をあわせた高さとなる。このように、本実施例の場合、選択トランジスタは、ゲート電極(402)がチャンネル部を両側からはさみこんだダブルゲート構造になる。この結果、トランジスタは完全空乏型SOI(Silicon On Insulator)として動作し、良好なスイッチング特性を実現する。最後に、必要な多層金属配線層を形成し、所望の半導体装置を得ることができる。本実施例においては、縦型トランジスタを用いることにより、従来DRAMの約半分のセル面積を有する半導体記憶装置を実現できる。

【0009】(実施例2)実施例1においては、第1の配線(701)をワード線(402)毎に分離する構造としたが、本実施例はこの第1の配線(702)を分離加工しないメモリセルに関するものである。セルの構造を図13に示す。製造方法は実施例1とほぼ同様である。本実施例の場合、第1の配線(702)の電位が安定するという効果がある。

【0010】(実施例3)実施例1においては、第1の配線(701)と第2の配線(802)が互いに直交する構成としたが、お互いに並行になるような構成が可能なのは明らかである。メモリセルの構造を図14に示す。製造方法は実施例1とほぼ同様である。この場合、第1と第2のメモリセル配線をペアとし、このペア線とワード線でメモリセルを選択することが可能になる。

【0011】(実施例4)実施例1～3においては、カルコゲナイド材料製膜後に、ゲート酸化膜が形成されるため、カルコゲナイドが高温にさらされるという問題がある。実施例1で述べたように、電極等で完全に覆われていれば問題はないが、わずかながら体積変化するの

で、カルコゲナイドに対し、高温プロセスを行なうことは避けた方が望ましい。この目的のため、本実施例においてはゲート酸化膜形成後に、カルコゲナイドを形成することとした。本実施例におけるメモリセルレイアウトを図15に示す。後に説明するが、自己整合的にワード線を形成するために、横方向(A-A)と縦方向(B-B)とでセル配置のピッチが異なっている。図15においては、最小加工寸法をFとした時に、横方向(A-A)は最小ピッチである2F、縦方向(B-B)は3Fとした。すなわち、セル面積は6F²である。もちろん、このレイアウトは任意に設定可能であり、本発明が面積6F²のメモリセルに限るものでないことは、いうまでもない。

【0012】図5に示す工程まで、実施例1と同様な製造工程を行う。続いて、縦型トランジスタの拡散層となる不純物を高濃度にドーブしたN⁺層(504)、チャンネル部となる低濃度不純物層(603)、更に拡散層となるN⁺層(505)、を堆積し、アニール工程により結晶化した。次に、通常のドライエッチング工程により、図16に示すようにメモリセル毎に分離し、更に、10nmのゲート酸化膜をCVD法により堆積した。もちろん、ゲート酸化膜形成は熱酸化工程でも構わない。その後、通常のCVD法により、高濃度不純物をふくんだ多結晶シリコンを堆積し、ドライエッチングプロセスにより、側壁ゲート電極を形成する。この時の図15における(A-A)及び(B-B)方向の断面図をそれぞれ図17、18に示す。すなわち、メモリセルのピッチが異なるので、自己整合的に、(A-A)方向では側壁ワード電極がつながり、(B-B)方向では分離した構造になる。本実施例においては、自己整合的にワード線を分離する手法を用いたが、レジストマスク等を用いた通常のドライエッチ法により形成することも可能である。続いて、公知のCVD法により1ミクロン程度の酸化膜を堆積し、公知のCMP法による平坦化を行い、コンタクトを開口し、下地の多結晶シリコンを露出させて、断面図は図19のようになる。続いて、酸化膜を30nm程度堆積させ、ドライエッチングによりエッチバックを行ない、側壁酸化膜(906)を形成し、図20のようになる。このように、自己整合的にコンタクト寸法を縮めた理由は次の通りである。カルコゲナイドの相状態を変える為には、熱を与える必要がある。効率良くカルコゲナイドの温度を上昇させるためには、カルコゲナイドの抵抗をある程度大きくする必要がある。これは、低電圧動作をさせるという観点からも重要である。この目的のためには、選択トランジスタの拡散層とカルコゲナイド接触面積を低減することが効果的である。こうした理由から、自己整合的にコンタクト寸法を縮める手段をとった。

【0013】続いて、カルコゲナイド材料(203)及び、第2のセル配線(803)となるタングステンまた

はW90Ti10などのタングステン合金を堆積し、図21のようになる。カルコゲナイド材料積層前にTiAlN等の遷移金属の窒化物や酸化物等のバリア膜や、W80Ti20などの金属導電膜、あるいはこれらの積層膜を堆積すれば、書換え可能回数が増大する利点がある。あるいは、カルコゲナイドの相状態を変えるのに必要な熱の拡散を抑制する目的で、例えば、ITO（インジウムとスズの酸化物の混合物）のような熱伝導率の悪い導電膜を間に挟むことも、勿論可能である。メモリセルに関しては、図21のままでも動作する。すなわち第2の配線（803）が共通線となり、第1の配線（701）がデータ線となる。この場合、カルコゲナイドを加工しないで済むという特長がある。更には、相状態を変える際に発生する熱を、平面状に形成された第2の配線（803）を通して、効果的に逃がすことが可能になり、熱履歴の影響を排除する結果として動作が安定する。また、メモリセル動作としては、第2の配線（803）を一枚板とすることにより、電位が安定するという効果がある。もちろん、第2の配線（803）を分離することも可能である。その際、タングステンまたはW90Ti10などのタングステン合金を通常のドライエッチング法により、第1のセル配線と並行方向に分離し、図22のようになる。最後に、必要な多層金属配線を形成し、所望の半導体記憶装置を得る。

【0014】（実施例5）実施例4において、選択トランジスタとカルコゲナイドの接触面積を低減することが、低電圧動作をさせるのに有効であることを述べた。これは、実施例1～3に述べた構造に対しても適用可能である。以下、その実現方法を図面を用いて説明する。図6までは、実施例1と同様な製造工程を行なう。続いて、層間絶縁膜（902）を堆積し、CMPにより平坦化し、下地のシリコン窒化膜を露出させて図23のようになる。さらに、熱リン酸によるウエット処理によりシリコン窒化膜を除去し、通常のCVD法により、30nmのシリコン酸化膜を堆積し、エッチバックプロセスにより側壁酸化膜（907）を形成し、図24のようになる。このように、自己整合的にコンタクトの寸法を縮めた。本実施例においては、側壁膜を通常のシリコン酸化膜により形成したが、熱伝導率の悪いポーラス状の酸化膜等を用いることも可能である。この場合、カルコゲナイドの相状態を変えるのに必要な熱の拡散を防ぐことができるので、更に効率良く、相状態を変えることが可能になる。同様な目的に適した材料としてゲルマニウムオキサイド（GeO₂）も適用できる。続いて、カルコゲナイド材料（204）及び、第2のセル配線（804）となるタングステンまたはW90Ti10などのタングステン合金、さらには及び酸化膜（908）を堆積して、図25のようになる。カルコゲナイド材料積層前にTiAlN等の遷移金属の窒化物や酸化物等のバリア膜や、W80Ti20などの金属導電膜、あるいはこれら

の積層膜を堆積すれば、書換え可能回数が増大する利点がある。あるいは、カルコゲナイドの相状態を変えるのに必要な熱の拡散を抑制する目的で、例えば、ITO（インジウムとスズの酸化物の混合物）のような熱伝導率の悪い導電膜を間に挟むことも、勿論可能である。以降は、実施例1における図8から図12までと同様な製造工程を経て、更には必要な多層金属配線を形成し、所望の半導体装置を得る。

【0015】（実施例6）これまでの実施例においては、プロセスの簡易性から、選択トランジスタを多結晶シリコンにより形成したが、勿論、シリコン基板中に形成することも可能である。この場合、多結晶からなるトランジスタよりも良好な特性を実現するという特長がある。本実施例においては、エピタキシャル成長したシリコン基板を用いた。以下、図面を用いて製造方法を説明する。p型半導体基板を用意して、アンチモン（Sb）を1E20/cm²のドーズ量で打ち込み、エピタキシャル成長させる。勿論、アンチモンの代わりにヒソ（As）やリン（P）を用いることも可能である。この結果、図26に示すような高濃度N型不純物層（15）が内部に形成された基板ができる。高濃度N型不純物層（15）は選択トランジスタの拡散層となる。続いて、ヒ素を1E20/cm²のドーズ量で注入し、アニール工程により活性化する。これが、選択トランジスタのうち1つの拡散層となる。さらに、後で施す層間膜平坦化工程（CMP: Chemical Mechanical Polishing）のストップ膜として、シリコン窒化膜（1102）を100nm堆積して、図27のようになる。次に図28に示すように、通常のドライエッチングプロセスにより、0.2ミクロンピッチのラインアンドスペース状に、埋め込まれた不純物拡散層（15）まで掘り、柱状に分離する。この工程は実施例1における図6と同様である。引き続き、層間絶縁膜（909）を堆積し、CMPにより平坦化、さらに加工用に用いたシリコン窒化膜（1102）を露出して図29のようになる。ついで、シリコン窒化膜（1102）を除去し、下地の不純物拡散層（1501）を露出させる。さらには、選択トランジスタの拡散層とカルコゲナイドの接触面積を低減するために、酸化膜を30nm程度堆積させ、ドライエッチングによりエッチバックを行ない、側壁酸化膜（910）を形成し、図30のようになる。続いて、カルコゲナイド材料（205）及び、第2のセル配線（805）となるタングステンまたはW90Ti10などのタングステン合金、さらには酸化膜（911）を堆積して、図31のようになる。

【0016】カルコゲナイド材料積層前にTiAlN等の遷移金属の窒化物や酸化物等のバリア膜や、W80Ti20などの金属導電膜、あるいはこれらの積層膜を堆積すれば、書換え可能回数が増大する利点がある。あるいは、カルコゲナイドの相状態を変えるのに必要な熱の拡散を抑制する目的で、例えば、ITO（インジウムと

スズの酸化物の混合物)のような熱伝導率の悪い導電膜を間に挟むことも、勿論可能である。続いて、通常のドライエッチング工程により、図28で形成したパターンと垂直方向に、酸化膜(911)、第2のセル配線(805)、カルコゲナイド材料(205)、の積層膜をラインアンドスペース状に加工する。さらに、第2のセル配線(805)と後に形成するワード線との短絡を防ぐ為に酸化膜を30nm堆積し、エッチバックプロセスにより、側壁酸化膜(912)を形成する。続けて、ドライエッチングにより、下地の不純物拡散層(1501)とエピタキシャル成長部分(16)まで完全に分離し、不純物拡散層(15)の途中で加工を止め、図32のようになる。尚、図32は第2のセル配線(805)に垂直な方向の断面図を示している。以降は実施例1の図11から図12に示す製造工程を経て、最後に多層金属配線層を形成し、所望の半導体記憶装置を得る。

【0017】また本発明においては、さらに、図33に等価回路を示す本発明によるメモリセルを用いれば、図34に示すようなメモリアレイを構成することができる。本アレイにおいては、データ線に相当する第2のセル配線(806)に平行な、ソース線に相当する第1のセル選択線(704)が設けられ、メモリセル内の選択トランジスタのソースが対応するソース線に接続された構成とすることにより、読み出し動作における消費電力を低減することができる。具体的には、選択したいデータ線(たとえばDL1)に対応するソース線(たとえばSL1)だけをソース電圧(たとえば0.5V)に駆動することができる。次に選択ワード線(たとえばWL1)を非選択状態の0Vから、選択状態の高電圧(たとえば1.5V)に駆動する。このため、選択ワード(たとえばWL1)と選択データ線(たとえばDL1)の交点のセルMC11にのみ電流経路を形成し、選択データ線にのみ読み出し信号を発生することができる。したがって、多数の非選択データ線の充放電はなくなるので、読み出し動作における消費電力を低減することができる。なお、書き込み動作においても読み出し動作と同様の選択動作が行われるので、全体として低電力の相変化メモリを実現することができる。

【0018】

【発明の効果】本発明によれば、相変化材料を利用したメモリにおいて、選択トランジスタを縦型構造にすることにより、セル面積を従来のDRAMより減らすことができるという特長がある。さらに、読み出し動作における消費電力を低減することができる。また、書き込み動作においても読み出し動作と同様の選択動作が行われるので、全体として低電力の相変化メモリを実現することができる。

【図面の簡単な説明】

【図1】本発明のメモリセル構造。

【図2】カルコゲナイドの相状態を変える際のパルス仕

様。

【図3】実施例1のメモリセルレイアウト。

【図4】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図5】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図6】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図7】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図8】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図9】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図10】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図11】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図12】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図13】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図14】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図15】実施例4のメモリセルレイアウト。

【図16】本発明の半導体記憶装置の1製造工程における鳥瞰図。

【図17】本発明の半導体記憶装置の1製造工程における断面図。

【図18】本発明の半導体記憶装置の1製造工程における断面図。

【図19】本発明の半導体記憶装置の1製造工程における断面図。

【図20】本発明の半導体記憶装置の1製造工程における断面図。

【図21】本発明の半導体記憶装置の1製造工程における断面図。

【図22】本発明の半導体記憶装置の1製造工程における断面図。

【図23】本発明の半導体記憶装置の1製造工程における断面図。

【図24】本発明の半導体記憶装置の1製造工程における断面図。

【図25】本発明の半導体記憶装置の1製造工程における断面図。

【図26】本発明の半導体記憶装置の1製造工程における断面図。

【図27】本発明の半導体記憶装置の1製造工程における断面図。

【図28】本発明の半導体記憶装置の1製造工程におけ

る断面図。

【図 29】本発明の半導体記憶装置の 1 製造工程における断面図。

【図 30】本発明の半導体記憶装置の 1 製造工程における断面図。

【図 31】本発明の半導体記憶装置の 1 製造工程における断面図。

【図 32】本発明の半導体記憶装置の 1 製造工程における断面図。

【図 33】本発明の半導体記憶装置の等価回路。

【図 34】本発明の半導体記憶装置を用いたメモリアレイ。

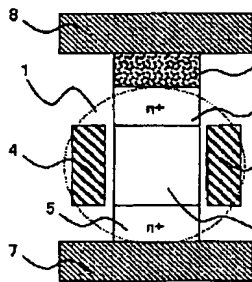
【符号の説明】

1, 101-選択トランジスタ、2, 201, 202, 203, 204, 205, 206-相変化材料（カルコ

ゲナイド）、3-抵抗体（ヒーター）、4, 401, 402, 403, 404-ワード電極、5, 501, 502, 503, 504, 505, 506-不純物拡散層、6, 601, 602, 603, 604, 605, 606-チャネル部、7, 701, 702, 703, 704-第 1 セル配線、8, 801, 802, 803, 804, 805, 806-第 2 セル配線、9, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912-Si 酸化膜、10-プラグ電極、11, 1101-シリコン窒化膜、12-タングステンまたは W90Ti10 などのタングステン合金、13-メモセル、14-シリコン基板、15, 1501-不純物拡散層（シリコン基板内）、16-エピタキシャル成長層。

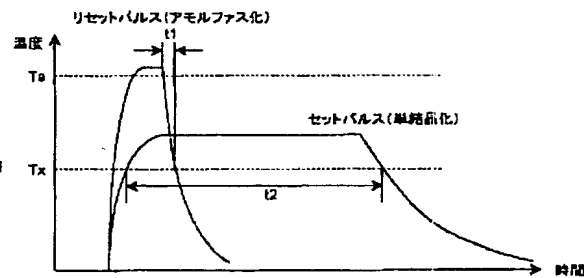
【図 1】

図 1



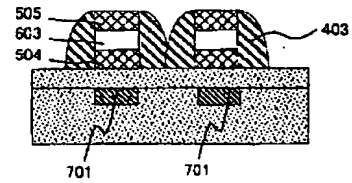
【図 2】

図 2



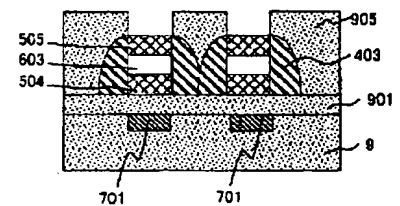
【図 17】

図 17



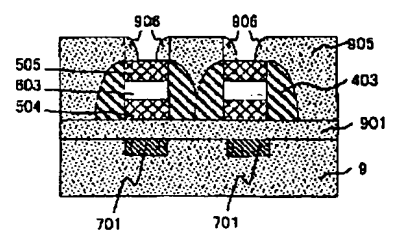
【図 19】

図 19



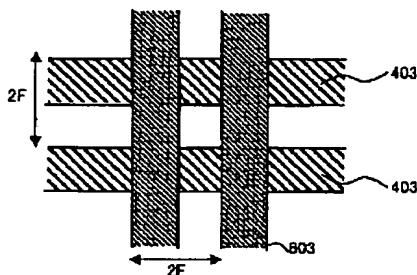
【図 20】

図 20



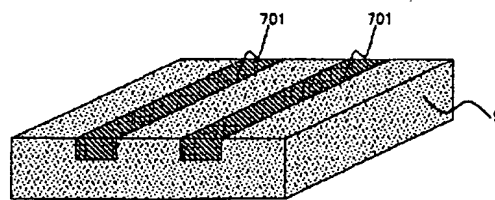
【図 3】

図 3



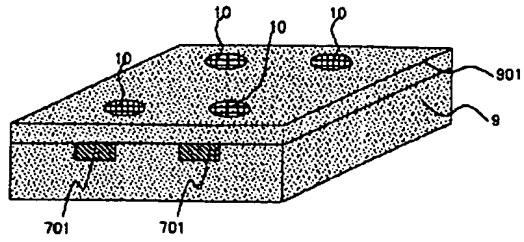
【図 4】

図 4



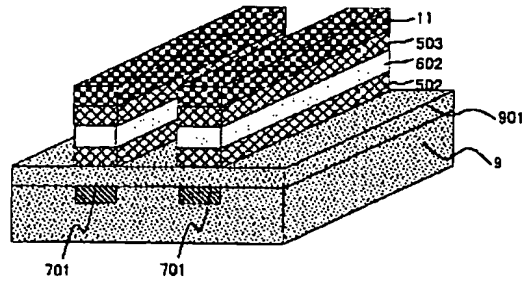
【図5】

図5



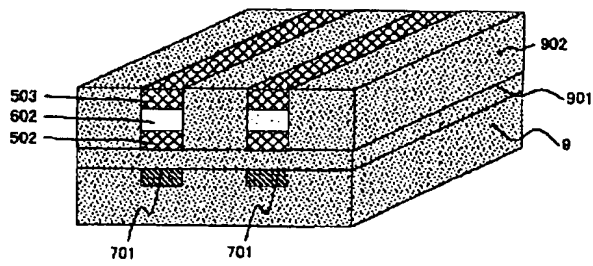
【図6】

図6



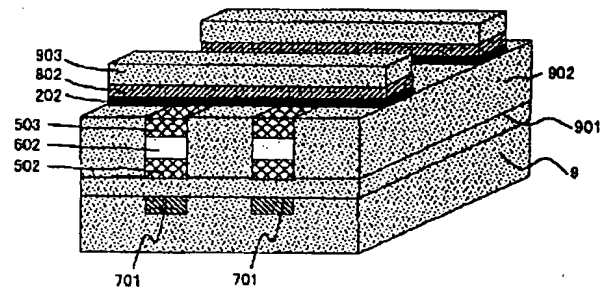
【図7】

図7



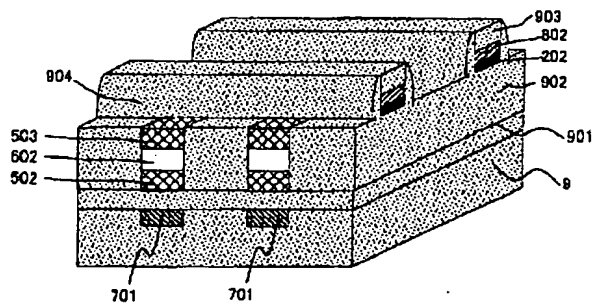
【図8】

図8



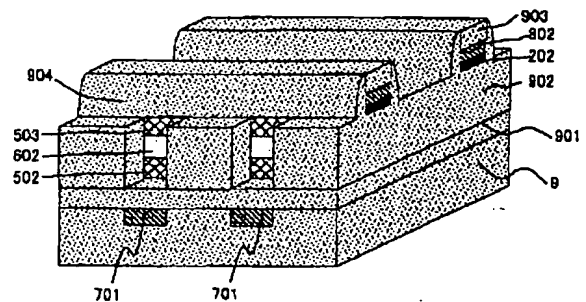
【図9】

図9



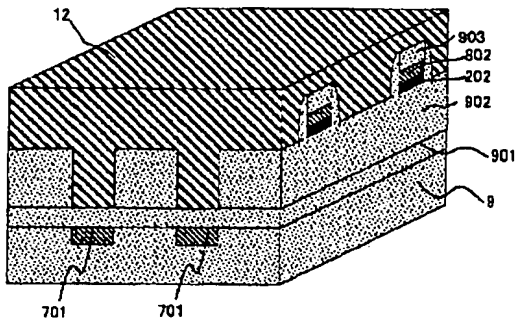
【図10】

図10



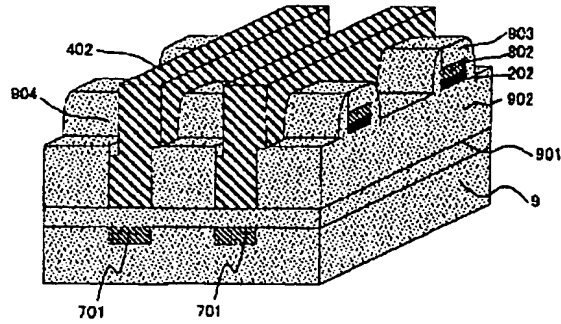
【図11】

図11



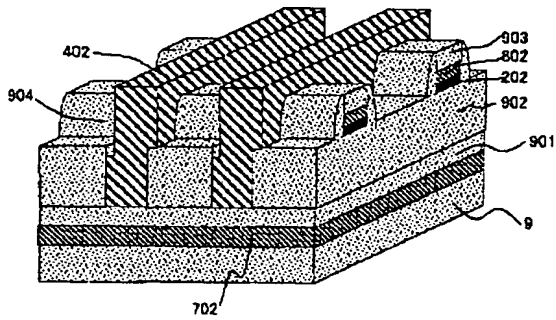
【図12】

図12



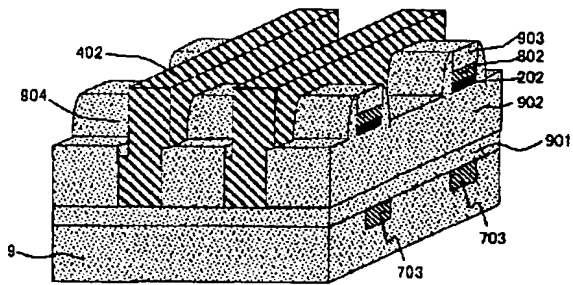
【図13】

図13



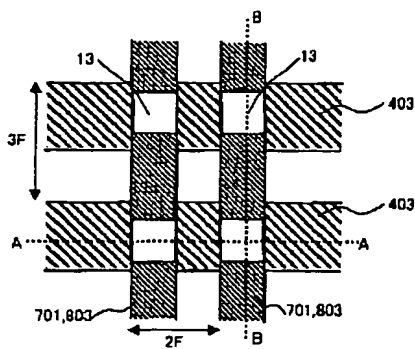
【図14】

図14



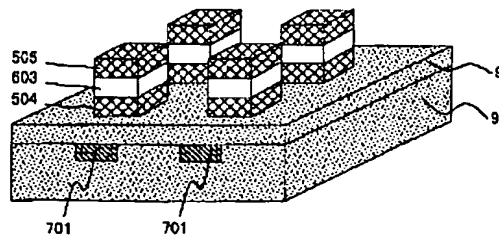
【図15】

図15



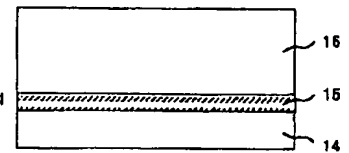
【図16】

図16



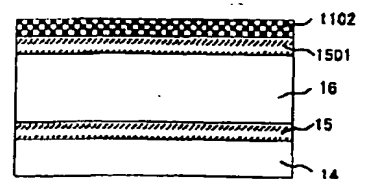
【図26】

図26

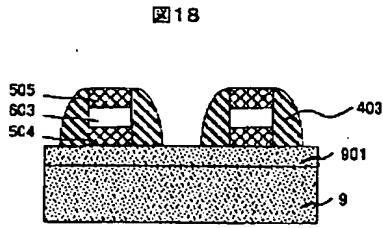


【図27】

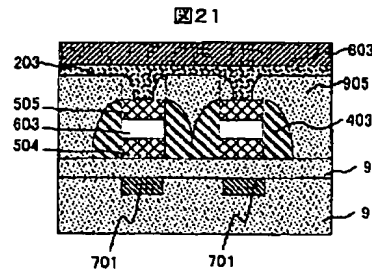
図27



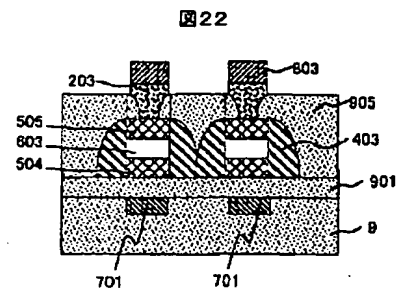
【図 18】



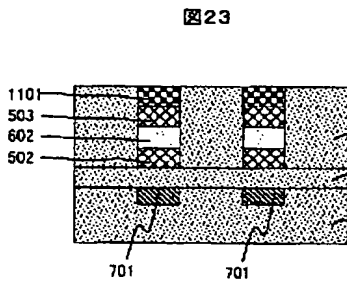
【図 21】



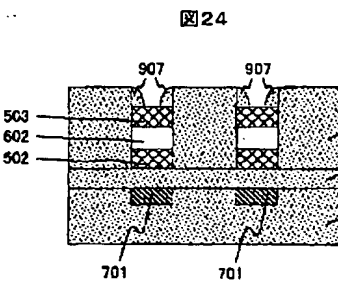
【図 22】



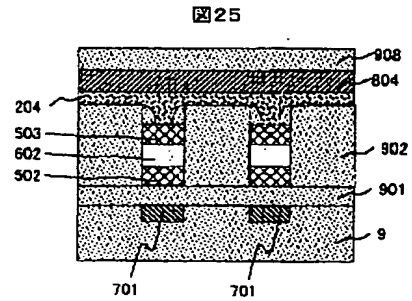
【図 23】



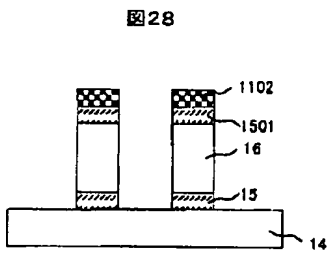
【図 24】



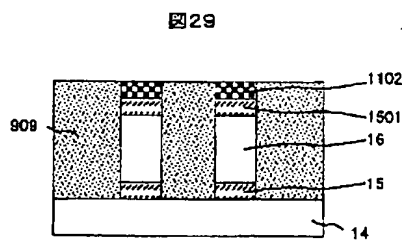
【図 25】



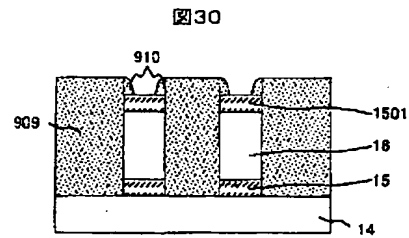
【図 28】



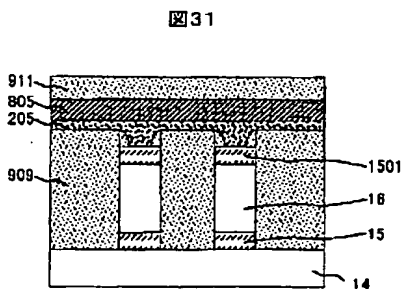
【図 29】



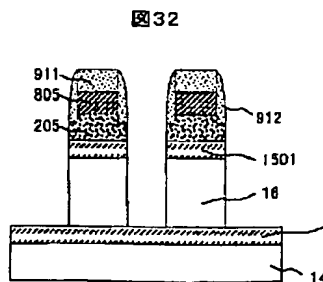
【図 30】



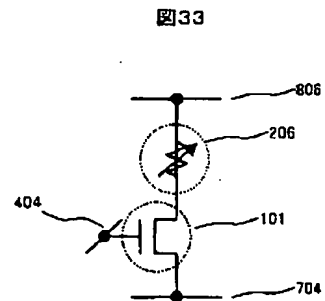
【図 31】



【図 32】

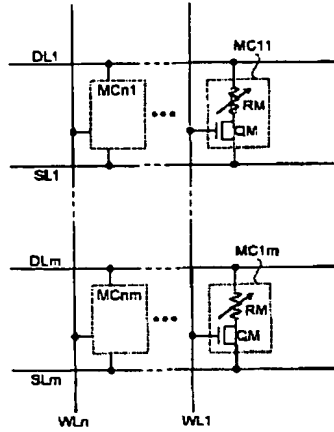


【図 33】



【図 34】

図34



フロントページの続き

(72)発明者 寺尾 元康

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 半澤 悟

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 阪田 健

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 5F083 AD06 FZ10 GA05 GA09 JA19
JA32 JA35 JA39 JA44 JA60
PR03 PR25 PR29 PR39